

(54) THIN FILM TRANSISTOR DEVICE

(11) 4-130668 (A) (43) 1.5.1992 (19) JP

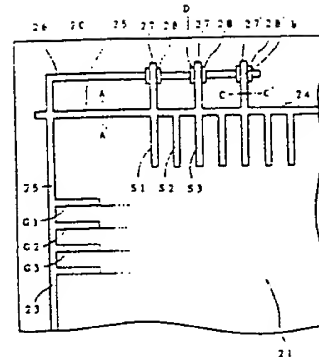
(21) Appl. No. 2-251366 (22) 20.9.1990

(71) STANLEY ELECTRIC CO LTD (72) YASUO TOKO

(51) Int. Cl. H01L29/764; G02F1 13; H01L21 3205; H01L27 12

PURPOSE: To prevent generation of short circuit by static electricity through check of the short circuit between a gate electrode and a source electrode by providing a third connecting line for short-circuiting a first connecting line to short-circuit a gate electrode and a second connecting line to short-circuit a source electrode and crossing a fourth and a fifth line connected to the first and second connecting lines through an insulating film.

CONSTITUTION: Insulating films 28, 28', 28'' are formed on a gate correcting line 26. In the case of executing S-G short-circuit check, the A-A' section of a gate-source short circuit line 25 is cut by irradiation of laser in order to insulate between gate and source. After the S-G short circuit check, the crossing area B of the lines 26 and 27 are irradiated with laser to break the insulating film, thereby the upper and lower lines 26, 27 are short-circuited, short-circuiting again between the gate and source. Moreover, in the case of checking again the S-G short circuit, the C-C' section of the source correcting line 27'' is cut by laser. After completion of check, it is enough the crossing area D is irradiated with laser beam.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-130668

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月1日

H 01 L 29/784
G 02 F 1/13
H 01 L 21/3205
27/12

8806-2K

A

7514-4M

9056-4M

7353-4M

H 01 L 29/78
21/88

3 1 1 A
A

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタ装置

⑯ 特 願 平2-251366

⑰ 出 願 平2(1990)9月20日

⑱ 発 明 者 都 甲 康 夫

神奈川県横浜市緑区荏田南2-17-8-202

⑲ 出 願 人 スタンレー電気株式会

社 東京都目黒区中目黒2丁目9番13号

⑳ 代 理 人 弁理士 高橋 敬四郎

明 細 書

1. 発明の名称

薄膜トランジスタ装置

2. 特許請求の範囲

(1). 基板上に、ゲート電極層、ゲート絶縁膜、チャンネル層、ソース/ドレイン電極層を積層して形成した複数の薄膜トランジスタを有する薄膜トランジスタ装置において、

上記複数の薄膜トランジスタの各ゲート電極を短絡する第1の接続ラインと、

上記複数の薄膜トランジスタの各ソース電極を短絡する第2の接続ラインと、

上記第1の接続ラインと第2の接続ラインとを短絡する第3の接続ラインと、

上記第1の接続ラインに接続されている第4の接続ラインと、

上記第2の接続ラインに接続され、かつ上記第4の接続ラインと交差する交差点を有する第5の接続ラインと、

上記交差点に設けられ、上記第4の接続ラインと上記第5の接続ラインとを絶縁する絶縁膜と、
を具備することを特徴とする薄膜トランジスタ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶ディスプレイ(LCD)、エレクトロミネッセンス(EL)ディスプレイ等のアクティブマトリックス回路等に適用される薄膜トランジスタ(TFT)装置に関する。

(従来の技術)

第3図(A)、(B)に従来の技術による薄膜トランジスタの構造例を示す。この薄膜トランジスタは第2図に示すようなアクティブマトリックス回路等で用いられる。

第2図はアクティブマトリックス基板の平面構造を概略的に示す。基板上、横方向にゲートライ

ンG1、G2、G3・・・が走り、これらのゲートラインと交差するように縦方向にソースラインS1、S2、S3・・・が走って、交点でマトリックスを構成している。各交点に対応してドレインパッドD11、D12・・・D21、D22・・・D31、D32・・・が配置されている。これらのドレインパッドが例えば液晶セルの駆動電極を形成する。各ドレインパッドと対応するソースラインSi(i=1、2、3・・・)とゲートラインGj(j=1、2、3・・・)との間に絶縁ゲート電界効果トランジスタTijが配置されて、ゲートラインGjの信号に従ってソースラインSiの電圧をドレインパッドDiに印加する。

これらの絶縁ゲート電界効果トランジスタT11、T12・・・T21、T22・・・T31、T32・・・は、例えば第3図(A)、(B)に示すようなアモルファスシリコンを用いた薄膜トランジスタで形成される。

第3図(A)は、第2図の一部の領域のパターンを示す平面図であり、第3図(B)は、第3図

(A)の線VB-VBに沿う断面図である。

第3図(B)に示されるように、この薄膜トランジスタは、ガラス基板1上のゲート電極2、その上のSiN_x、SiO₂等のゲート絶縁膜3、高抵抗率と低抵抗率の2層アモルファスシリコン(a-Si)半導体層4、ソース/ドレイン電極5、6、およびドレインパッド7を有する。ゲート電極2はゲートラインG1、G2、G3・・・の1つに接続される。また、ソース電極5はソースラインS1、S2、S3・・・の1つに接続される。

第4図は、この薄膜トランジスタ装置の周辺部を詳細に示す。薄膜トランジスタ装置10の中央部11には、第2図および第3図で説明したようなアクティブマトリックス回路が設けられている。ゲートラインG1、G2、G3・・・はゲート短絡ライン13により短絡されており、ソースラインS1、S2、S3・・・はソース短絡ライン14により短絡されている。また、ゲート短絡ライン13とソース短絡ライン14は、ゲート/ソー

ス短絡ライン15により短絡されている。これは両者が浮遊状態にあると、静電気などにより電荷蓄積が生じ、本来絶縁されているべき部分でソース電極とゲート電極との短絡(以下、S-Gショートという)などが発生するのを防ぐためである。

(発明が解決しようとする課題)

このような薄膜トランジスタ装置では、基板作製工程の途中でS-Gショートが発生しているかどうかチェックし、不良があった場合は修正する必要がある。しかし、ゲート短絡ライン13とソース短絡ライン14とがゲート/ソース短絡ライン15により短絡してあるため、このままではS-Gショートのチェックができない。そこで、ゲート/ソース短絡ライン15をレーザーなどにて切断することにより、ソースラインS1、S2、・・・とゲートラインG1、G2、・・・とを切断し、上記のS-Gショートチェックを行っていた。

ところが、S-Gショートチェック後はゲートラインG1、G2、・・・とソースラインS1、

S2、・・・との間が電気的に切断されるため、静電気などにより新たにS-Gショートが発生するおそれがあった。

新たなS-Gショート発生を防ぐため、次の工程で、ゲート/ソース短絡ライン15の切断部を再び接続する必要があり、工程が複雑になっていた。また、このようにゲート/ソース短絡ライン15の切断部を再び接続したとしても、S-Gショートチェックから切断部を接続するまでの間にS-Gショートが発生する可能性があった。

本発明の目的は、S-Gショートチェック後に静電気などによる新たなS-Gショートが発生することを防止し、またS-Gショートチェック後のゲート/ソース間の再度の接続を簡単な工程で行うことのできる薄膜トランジスタ装置を提供することである。

(課題を解決するための手段)

本発明の薄膜トランジスタ装置によれば、ゲート電極を短絡する第1の接続ラインとソース電極

を短絡する第2の接続ラインとを短絡する第3の接続ラインを備えるとともに、この第1の接続ラインに接続された第4の接続ラインと、第2の接続ラインに接続されかつ第4の接続ラインと交差する交差点を有する第5の接続ラインと、この交差点に設けられ第4の接続ラインと第5の接続ラインとを絶縁する絶縁膜とを備えるようにした。

(作用)

当初は第3の接続ラインによりゲート電極とソース電極とは短絡されており、静電気などによるS-Gショートが発生が防止される。第3の接続ラインを切断することにより、S-Gショートチェックを行うことができる。S-Gショートチェック後は、例えば第4の接続ラインと第5の接続ラインとの交差点にレーザを照射し、この交差点にて第4の接続ラインと第5の接続ラインとを短絡することができる。第4の接続ラインと第5の接続ラインとを短絡することにより、ゲート電極とソース電極とは再度短絡され、静電気などによ

るS-Gショートが発生が防止される。

(実施例)

第1図は本発明の実施例による薄膜トランジスタ装置の基板周辺部のパターンを示す平面図である。第1図において、薄膜トランジスタ装置20の中央部21には、第2図および第3図で説明したようなアクティブマトリクス回路が設けられている。ゲートラインG1、G2、G3・・・はゲート短絡ライン(第1の接続ライン)23により短絡されており、ソースラインS1、S2、S3・・・はソース短絡ライン(第2の接続ライン)24により短絡されている。また、ゲート短絡ライン23とソース短絡ライン24は、ゲート/ソース短絡ライン(第3の接続ライン)25により短絡されている。以上の構成は第4図の従来例と同様である。

ゲート短絡ライン23からゲート/ソース短絡ライン25を介して、ゲート補正ライン(第4の接続ライン)26が延びている。ソース短絡ライ

ン24から3本のソース補正ライン(第5の接続ライン)27、27'、27''が延びている。ゲート補正ライン26とソース補正ライン27、27'、27''との交差点にはそれぞれ絶縁膜28、28'、28''が設けられている。絶縁膜28、28'、28''により、各交差点においてゲート補正ライン26とソース補正ライン27、27'、27''とは絶縁されている。

このような薄膜トランジスタ装置20のパターンは例えば以下のようにして形成できる。

ガラス基板上に導電膜を形成し、ゲート電極をパターンニングする。同時に、ゲートラインG1、G2、G3・・・、ゲート短絡ライン23等と共にゲート補正ライン26をパターンニングする。次に、ゲート電極の上にSiN_x、SiO₂等のゲート絶縁膜を成膜する。ゲート絶縁膜の成膜と同時に、ゲート補正ライン26上に絶縁膜28、28'、28''を形成する。ゲート絶縁膜の上に高抵抗率と低抵抗率の2層アモルファスシリコン(a-Si)半導体層をアイランド状にパターニ

ング形成する。

さらに、電極金属層を形成し、ソース/ドレイン電極をパターンニングする。同時に、ソースラインS1、S2、S3・・・、ソース短絡ライン24、等と共にソース補正ライン27、27'、27''をパターンニングする。次に、透明導電膜を形成し、ドレインパッドをパターンニングする。最後に半導体層の上部(低抵抗率層)をエッチングしてチャンネルを形成する。

第1図の薄膜トランジスタ装置20においては、ゲート/ソース短絡ライン25により各トランジスタのゲート電極とソース電極とが短絡されている。したがって、静電気などによるS-Gショートが発生が防止される。

S-Gショートチェックを行う場合は、例えばレーザを照射してゲート/ソース短絡ライン25のA-A'部を切断し、ゲート/ソース間を絶縁する。S-Gショートチェック後は、例えばゲート補正ライン26とソース補正ライン27'の交差点B点にレーザを照射して絶縁膜を破壊し、上

下のライン26、27'を短絡する。これにより、再びゲート/ソース間を短絡させることができる。

さらに、再度S-Gショートチェックをするときは、同様にソース補正ライン27'のC-C'部をレーザにて切断し、チェック終了後、交差部D点にレーザを照射すればよい。

このようにソース補正ライン27またはゲート補正ライン26を複数本形成しておくことにより、S-Gショートチェックを複数回行うことができる。S-Gショートチェック時以外は、S-G間には常に短絡されているため、静電気によるS-GショートやTFT特性の変動はない。

なお、ゲート補正ライン26とソース補正ライン27の形状や数などは任意である。絶縁膜28、を間に挟んで、絶縁状態にあればよい。また、後半工程においてゲート/ソース短絡ライン25は切断されるが、その切断部分よりもゲート補正ライン26とソース補正ライン27を外側に形成することが望ましい。

また、これらの補正ラインのパターンの形状や

大きさは特に制限がなく、表示部外に位置するためフォトリソグラフィなどを新たに作り直す必要はない。例えば、マスキングテープなどにより簡単にパターンを形成することができる。

本発明は、薄膜トランジスタ(TFT)を用いた液晶表示装置(LCD)、エレクトロルミネッセンス装置(EL)全般に適用することができる。

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせなどが可能なことは当業者に自明であろう。

(発明の効果)

以上説明したように、本発明によれば、S-Gショートチェックのためにゲート/ソース間を一旦絶縁状態にしても、例えばゲート補正ラインとソース補正ラインの交差部にレーザを照射することによって容易にゲート/ソース間を短絡できるので、S-Gショートチェック後の静電気などによる新たなS-Gショートの発生が防止される。

また、S-Gショートチェックやレーザによるゲート/ソース間の切断および短絡はすべて1つの作業台上で行える。そのため、装置基板を作業台上にセット・リセットするときに発生する静電気の影響がなくなり、S-Gショートの発生が防止される。

さらに、S-Gショートチェック後のゲート/ソース間の短絡は、非常に容易である。

図において、

- | | |
|------------------|--------|
| 1 | 基板 |
| 2 | ゲート電極 |
| 3 | ゲート絶縁膜 |
| 4 | 半導体膜 |
| 5 | ソース電極 |
| 6 | ドレイン電極 |
| T11~T13、T21~T23、 | |
| T31~T33、T40、T41 | |

絶縁ゲート電界効果トランジスタ

- | |
|-----------------------|
| D1~D3、D11~D13、D21~23、 |
| D31~D33 |

ドレインパッド

- | |
|---------------|
| G1~G3、G10、G11 |
|---------------|

ゲートライン

- | |
|---------------|
| S1~S3、S10、S11 |
|---------------|

ソースライン

- | | |
|-------|----------|
| 13、23 | ゲート短絡ライン |
|-------|----------|

- | | |
|-------|----------|
| 14、24 | ソース短絡ライン |
|-------|----------|

- | | |
|-------|--------------|
| 15、25 | ゲート/ソース短絡ライン |
|-------|--------------|

4. 図面の簡単な説明

第1図は、本発明の実施例を示す平面図、

第2図は、アクティブマトリックス回路を概略的に示す図、

第3図(A)、(B)は、従来のアクティブマトリックスの薄膜トランジスタの部分平面図とその断面図、

第4図は、従来の薄膜トランジスタ装置の基板周辺部を示す平面図である。

26 ゲート補正ライン

27、27'、27''

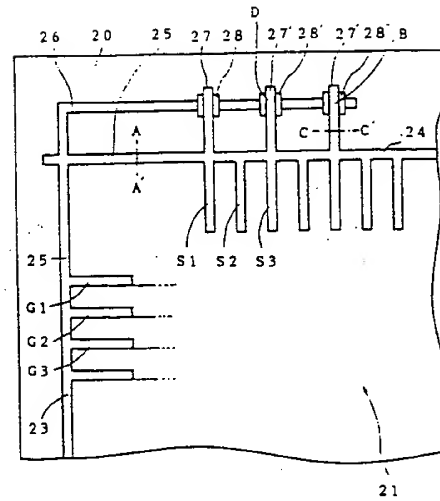
ソース補正ライン

28、28'、28''

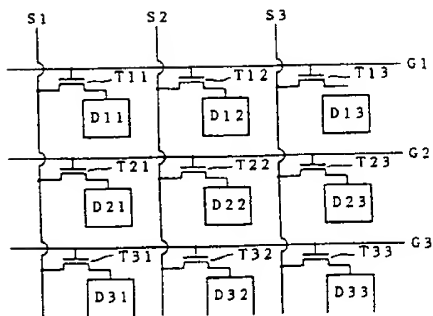
絶縁膜

特許出願人 スタンレー電気株式会社

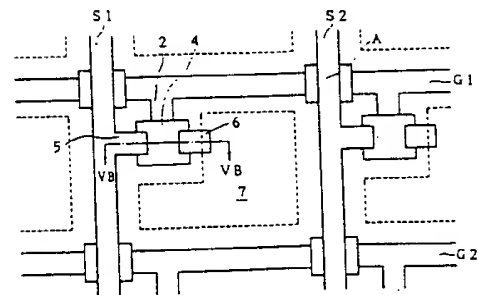
代理人 弁護士 高橋 敬四郎



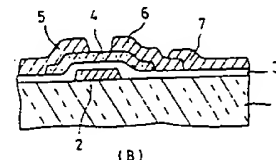
第 1 図



アクティブマトリクス
第 2 図

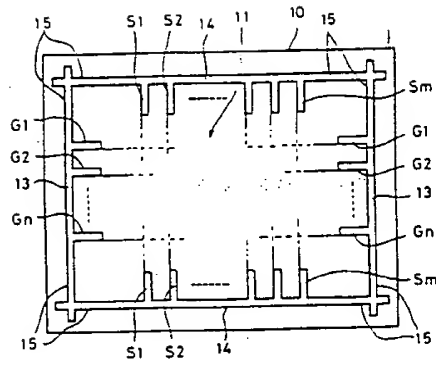


(A)



(B)

従来技術によるアクティブマトリクス
第 3 図



第 4 図